

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-172745

(43)Date of publication of application : 29.09.1984

(51)Int.Cl.

H01L 21/92

(21)Application number : 58-048115

(71)Applicant : MATSUSHITA ELECTRONICS CORP

(22)Date of filing : 22.03.1983

(72)Inventor : KISHIMOTO MITSUO

OKA KENJI

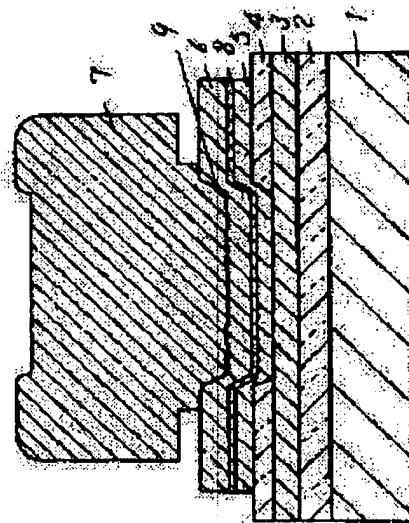
OMI MITSUO

(54) SEMICONDUCTOR DEVICE AND ELECTRODE FORMATION THEREOF

(57)Abstract:

PURPOSE: To largely improve the bonding intensity of a gold bump electrode by sequentially stacking layers of chromium, chromium-copper alloy and copper on a metal layer, providing the rugged region to the surface of copper layer by the etching and bonding a gold bump electrode body to such surface.

CONSTITUTION: A chromium-copper alloy layer 8 is formed in the thickness of about 200Å by simultaneously vacuum depositing chromium and copper on the upper layer of chromium layer 5. Then, a copper layer 6 is formed by vacuum deposition in the thickness of about $1\mu\text{m}$ thereon. Next, the surface of this copper layer 6 is etched by the dipping process for 2W3sec under the room temperature using a ferric chloride solution, for example, a solution having the composition, $\text{H}_2\text{O}/(\text{FeCl}_3:35\text{wt}\%+\text{H}_2\text{O}=35/1)$. Thereby the surface 9 is roughly finished. Finally, a thick gold bump layer 7 is formed by gold plate forming method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

The present invention, when abstracted, is at first a semiconductor device having a structure comprising an electrode metal layer placed on a semiconductor substrate or an insulator, each layer of chrome, alloy of chrome and copper, and copper laminated on said metal layer sequentially, wherein etched concavities and convexities are formed on said copper layer, and gold bump electrodes are bonded on a surface having said concavities and convexities;

secondly a manufacturing method of a semiconductor device whose electrode forming process includes a step of forming a chrome layer, an alloy of chrome and copper layer, and a copper layer sequentially with deposition, and a step of etching a surface of said copper layer with a solution including ferric oxide, to improve bond strength of gold bump electrodes largely, and to improve quality stability thereof.

[Explanation of Embodiment]

The present invention is explained in detail with an embodiment in reference to a sectional view of the structure in Fig.2.

A gold bump electrode structure shown in Fig.2 has a dioxide silicon film 2 on a silicon substrate 1, an aluminum electrode 3 having thickness of about $1\ \mu\text{m}$ and area dimensions of $70\ \mu\text{m} \times 180\ \mu\text{m}$, for example, is formed thereon, a dioxide silicon film 4 having thickness of about $1\ \mu\text{m}$ is formed to cover said aluminum film except for an opening area having dimensions of $40\ \mu\text{m} \times 135\ \mu\text{m}$, for example, to expose said aluminum, then a chrome layer 5 having thickness of $1000\ \text{\AA}$ is formed. The structure above mentioned is as same as that of a prior art. However, in this embodiment, chrome and copper are deposited on the top layer at the same time to form a chrome and copper alloy layer 8 having thickness in a range of $200\ \text{\AA}$ to $4000\ \text{\AA}$. Then a copper layer 6 having thickness of about $1\ \mu\text{m}$ is formed with deposition. In the next step, the surface of said copper layer 6 is dipped in iron chloride liquid solution, constituent humor of $\text{H}_2\text{O}/(\text{FeCl}_3\text{:}35\%(\text{wt})+\text{H}_2\text{O}=35/1)$, for example, for 2 to 3 seconds at room temperature to etch, and perform rough face processing on the surface 9. After that, lastly, thick gold bump layer 7 is formed with widely known gold plate forming method.

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭59—172745

⑫ Int. Cl.³
H 01 L 21/92

機別記号 庁内整理番号
7638—5F

⑬ 公開 昭和59年(1984)9月29日

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ 半導体装置およびその電極形成方法

門真市大字門真1006番地松下電
子工業株式会社内

⑮ 特 願 昭58—48115

⑯ 発 明 者 大海三男

⑰ 出 願 昭58(1983)3月22日

門真市大字門真1006番地松下電
子工業株式会社内

⑱ 発 明 者 岸本光雄

門真市大字門真1006番地松下電
子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社

門真市大字門真1006番地

⑳ 発 明 者 岡健二

㉑ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1. 発明の名称

半導体装置およびその電極形成方法

2. 特許請求の範囲

(1) 半導体基板上もしくは絶縁体上に第1の電極用金属層を有し、同金属層上に、クロム、クロム・銅合金および銅の各層を順次積層してせなえるとともに、前記銅層表面に食刻おうとつを設け、かつ、この食刻おうとつ面上に金パンプ電極体を接合させた電極構造を有する半導体装置。

(2) クロム・銅合金層が層厚方向で一定の合金比率を有する特許請求の範囲第1項に記載の半導体装置。

(3) クロム・銅合金層が層厚方向で、下層銅から上層銅に、クロム含有比率の連続的低減組成物となる特許請求の範囲第1項に記載の半導体装置。

(4) 第1の電極用金属層がアルミニウム蒸着層となる特許請求の範囲第1項に記載の半導体装置。

(5) 半導体基板上もしくは絶縁体上に第1の電極を形成する工程、クロム層、クロム・銅合金層および銅層を順次連続的に蒸着形成する工程、前記銅層の表面を塩化鉄含有溶液で食刻する工程、および前記銅層上に金厚層を形成する工程をそなえた半導体装置の電極形成方法。

(6) 塩化鉄溶液が、 $H_2O/(FeCl_3:35g(wt) + H_2O) = 5/1 \sim 150/1$ の組成物となる特許請求の範囲第5項に記載の半導体装置の電極形成方法。

3. 発明の詳細な説明

発明上の利用分野

本発明は、半導体装置の電極構造、とりわけ、パンプリード構造電極体(以下、単にパンプ電極と称す)の形状ならびにその製造方法に関する。

従来例の構成とその問題点

パンプ電極は、通常、半導体基板上の所定電極領域部をこぶのように小高く盛り上げた形状になし、この電極部を、直接、外部引出しリード線と接続するためのものである。

ところで、従来のパンプ電極は、たとえば第1図に断面構造を示したように、半導体素子構成部を有するシリコン基板1の表面に保護用の二酸化シリコン膜2を設け、この上に前記半導体素子構成部と接続されるアルミニウム電極層3を配し、さらに、このアルミニウム電極層3の一部を露出させ、他部を保護膜4でかおひ、これらを重ねてクロム層5および銅層6を順次設け、最上層に厚い金層7をこぶのように小高く盛り上げて形成したものが一般的で、この構造を金パンプ電極と言っている。この構造の金パンプ電極の欠点は、各金属間層強度が工程条件に敏感で、なかでも、蒸着時の真空度或いは各金属層の表面状態に大きく影響され、なかなか、その強度が安定しないことである。このため、最終工程での金パンプ電極の膜層強度向上は大きな課題であった。

発明の目的

本発明は、金パンプ電極の接合強度を大幅に向上させることを目的とするもので、とくに、クロム-銅の層間接合強度ならびに銅-金の層間接合

強度を顕著に向上させることの可能な構造とその製造方法を提供するものである。

発明の構成

本発明は、要約すると、第1に半導体基板上もしくは絶縁体上に第1の電極用金属層を有し、同金属層上に、クロム、クロム・銅合金および銅の各層を順次積層してせえるとともに、前記銅層表面に食刻おうとつを設け、かつ、この食刻おうとつ面上に金パンプ電極体を接合させた構造を有する半導体装置であり、第2に、その電極形成過程に、クロム層、クロム、銅合金層および銅層を順次連続的に蒸着形成する工程ならびに前記銅層の表面を塩化鉄含有溶液で食刻する工程をせえたる半導体装置の製造方法であり、これにより、金パンプ電極の付着強度を大幅に向上させるとともに、その品質安定化をはかったものである。

実施例の説明

本発明を、第2図の断面構造により、実施例で詳しく説明する。

第2図示の金パンプ電極構造は、シリコン基板

1の上に二酸化シリコン膜2を有し、この上に、たとえば、約1μm程度の厚さで、700Å×1800Åの面積寸法をもつアルミニウム電極3を形成し、その上に、たとえば、400Å×1350Åの開口面積部に前記アルミニウムを露出させて、他部をかおひ二酸化シリコン膜4を、厚さ約1μmで形成し、焼けて、この上に、厚さ約1000Åのクロム層5を形成している。これまでの構造は第1図示の従来例と同じであるが、本実施例ではその上層に、クロムと銅とを同時蒸着して、厚さ200Å~400Åの範囲のクロム・銅合金層6を形成している。ついで、これに重ねて、厚さ約1μmの銅層6を蒸着形成する。次に、この銅層6の表面を塩化鉄溶液、たとえば、 $H=0/(700\pm 35(wt)+H=0)=35/1$ の組成液によって、室温2~3秒の浸漬処理によって食刻し、その表面8を粗面加工する。そして、最後に周知の金めっき形成方法により、厚い金パンプ層7を形成する。

本実施例でのクロム・銅合金層8の形成工程を

第3図a~dの各図ならびに第4図の蒸着装置概略図を用いて詳しくのべる。蒸着方法は、第4図の概略図に示すような二元蒸着装置からの同時蒸着形成方法を用いる。第4図装置は、ベルジョ-10、真空室11、シャッタ12、蒸着源用ポート13、14、スライスタージ台15および外部排気系16を有する。すなわち、一方の蒸着源、たとえば13内にクロム、他方の蒸着源たとえば14内に銅を配し、真空度 2×10^{-6} Torr以上の高真空中で、先ず、クロム層5を、厚さ1000Åに蒸着したのち、引き続き、クロム蒸着工程を続けながら、併せて、銅の蒸着を開始する。いわゆるクロス蒸着法を用いる。第3図aのように、先ず、クロム蒸着過程Iでクロム単一層5を形成し、クロム・銅の同時蒸着過程IIでクロム・銅合金層6を形成し、ついで、銅のみの蒸着過程IIIで銅層6を形成する。このクロス蒸着法では、一定の銅の蒸着速度に対し、クロムの蒸着速度を減少させることにより、クロムと銅の合金層8の合金比率を傾斜的に順次変化させることができ、ク

ロムの蒸着速度を等にした時点で、銅のみの組成になり、クロム・銅合金層から銅層への切換えが可能である。逆に、クロム・銅合金層形成中、銅の蒸着量を増大する過程でも、銅の合金比率は傾斜的に変化し、これらの合金比率の傾斜的变化が異金属層間の接合強度を向上させるのに有効である。実施例の経験によると、このときのクロス蒸着層の厚みの範囲は、数百Å〜数千Åの間で任意に選択することができ、蒸着過程プログラムのモデルも、第3図B中、クロムの減少過程がA、B、Cとなり、とくにプログラムB、Cの場合のように、クロムおよび銅の合金比率一定域を厚くするような分布層の形成もできる。さらに、第3図Bのように、クロム・銅合金層形成のためのクロス蒸着過程が、そのどちらの金属も一定蒸着速度域をもたず、その合金比濃モデルもプログラムD〜Fのように、銅の蒸着開始と同時に、あるいは銅の蒸着量増大過程でクロム蒸着速度を順次低減する方法も実用できる。第3図Cは、クロス蒸着過程でクロム蒸着速度を、G〜Jのプログラムモデル

のように、ステップ状に減じる場合を示しており、この方式によっても、クロム層、クロム・銅合金層および銅の三層を連続的に形成することが可能で、この場合にも、従来のように、クロム層上に直接銅層を形成するより、はるかにその接合強度の増大がはかれる。なお、クロム層B、クロム・銅合金層Cおよび銅層Dの三層は、周知のパターン加工技術により、たとえば、 $100\text{mm} \times 100\text{mm}$ 程度の面積寸法にパターン化される。

次に、この銅層Dを最表面とする電極層は、蒸着表面であるから、ほとんどなめらかな銅面である。しかも、この銅層Dの表面は、蒸着時の活性な分子層が露出しているため、同面上に金バンプ電極Fを形成するまでの短期間にも、腐蝕空気にさらされると表面酸化を起こす。このため、金めっき法によって、この銅表面に金めっき層Fを形成する際、予め、適当な表面エッチング処理を行なう。このとき、エッチング液として、塩化鉄溶液を用いて、前記蒸着銅層Dの表面を、数百Å〜数千Åの深さでエッチング除去すると、そのエ

ッチング面が適度の粗さの食刻面となつて面になる。経験によると、塩化鉄含有溶液の組成が、 $H_2O / (FeCl_3 : 35\% (wt) + H_2O) = 5/1 \sim 150/1$ のとき、室温で2〜3秒の浸漬処理で所望深さのエッチングが行なわれる。塩化鉄成分濃度が高いと処理時間を短縮できるが、その処理時間が短かいことに関連して、工程管理面での精度が高くなる。逆に、塩化鉄成分濃度が低いと、処理時間が長くなり、また、粗面化が適まず、後工程での金バンプ電極の密着強度の向上があまり望めない。とくに、室温、2〜3秒で処理するのに最適な希液濃度は、 $H_2O / (FeCl_3 : 35\% (wt) + H_2O) = 35/1$ であり、好ましい濃度範囲は、 $30/1 \sim 50/1$ であった。

金バンプ層Fの形成は、選択めっき法が用いられ、厚さ12〜17μm程度に設けられる。この金バンプ層の形成方法は、従来と同様であり、説明を省略する。

第5図は、本発明実施例装置の金バンプ電極の密着強度特性を従来例装置の場合と対比して示す

管理図(中心値とその分布範囲を現わすもの)である。この特性図からみても、本発明の実施例は密着強度面で顕著な向上がみられた。

なお、本実施例の他の形態として、第1の電極用金属層をアルミニウム以外の金属で置き換えることは十分可能であり、その場合、同金属層がクロム・銅合金層と強固な接着性を有しているならば、下地のクロム層形成を省略することが可能である。

発明の効果

以上に詳しく述べたように、本発明によれば、金バンプ電極の金厚層下の銅層表面を粗面化加工して、同金バンプ層との接着性を高めるとともに前記銅層下に、クロム・銅合金層を介在させて、銅層自体の下地電極用金属層との接着性を改善し、密着強度の大幅な向上が達成できる。また、本発明は、半導体装置の電極形成工程からみても、実施容易であり、工程管理もやさしいので、安定な品質を保持し得る装置ならびにその製造方法として、工業的に利用に最適である。

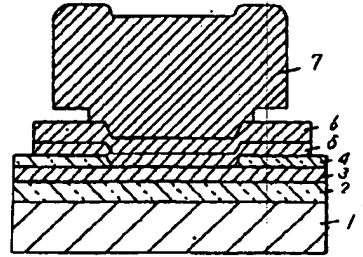
4. 図面の簡単な説明

第1図は従来例装置の断面図、第2図は本発明実施例装置の断面図、第3図は本発明実施例工程のモデルプログラム図、第4図は本発明実施例工程に用いた蒸着装置の概要断面図、第5図は本発明実施例装置と従来例装置との特性比較図である。

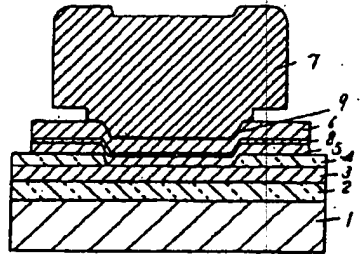
1……シリコン基板、2……二酸化シリコン膜、3……アルミニウム電極層、4……二酸化シリコン膜、5……クロム層、6……銅層、7……金パンプ層、8……クロム・銅合金蒸着層、9……銅層粗面化加工表面。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名。

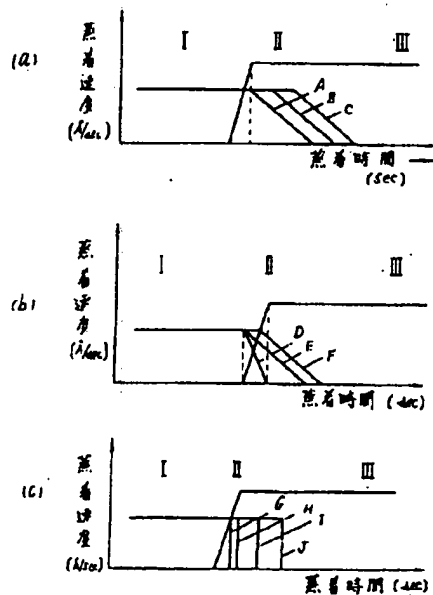
第 1 図



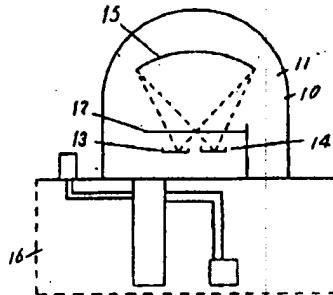
第 2 図



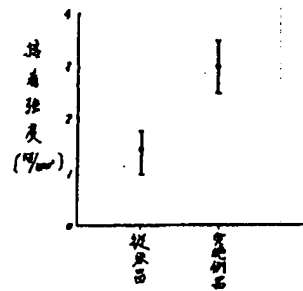
第 3 図



第 4 図



第 5 図



特許法第17条の2の規定による補正の掲載

昭和58年特許願第48115号(特開昭59-172745号,昭和58年9月29日発行 公開特許公報59-1728号掲載)については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 1 (2)

Int. Cl.	識別記号	庁内整理番号
H01L 21/321		B-6810-5P H01L 21/92

平成 2, 7, 16 発行
手続補正書

平成元年12月27日

特許庁長官殿

1 事件の表示

昭和58年特許願第48115号

2 発明の名称

半導体装置およびその電極形成方法

3 補正をする者

事件との関係 特許出願人
住所 大阪府門真市大字門真1006番地
名称 (584) 松下電子工業株式会社
代表者 金澤二三男

4 代理人

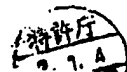
〒571
住所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名 (6152) 弁理士 栗野重孝 (ほか1名)
(通称名 電話(東京)03-49471 東京特許分室)

5 補正の対象

明細書の特許請求の範囲の欄

明細書の発明の詳細な説明の欄



6. 補正の内容

- (1) 明細書の特許請求の範囲を別紙のとおり補正します。
- (2) 同第3頁第9行目の「金層7」を「金バンプ層7」と補正します。
- (3) 同第4頁第9行目の「金バンプ電極体」を「金バンプ電極」と補正します。
- (4) 同第4頁第11行目の「クロム・銅合金層」を「クロム・銅合金層」と補正します。
- (5) 同第5頁第8行目の「源、たとえば13内にクロム」を「源用ゲート13内にたとえばクロム」と補正します。
- (6) 同第5頁第8～第9行目の「蒸発源たとえば14内に銅」を「蒸発源用ゲート14内にたとえば銅」と補正します。
- (7) 同第7頁第7～第8行目の「クロス蒸着層」を「クロム蒸着層」と補正します。
- (8) 同第7頁第7行目の「実施例の経験によると」を「発明者の経験によると」と補正します。
- (9) 同第8頁第13～第14行目の「金バンプ電

極7」を「金バンプ層7」と補正します。

- (10) 同第8頁第10行目の「金めっき層7」を「金バンプ層7」と補正します。

- (11) 同第10頁第13行目の「金バンプ層」を「金バンプ電極」と補正します。

- (12) 同第10頁第14行目の「クロム・銅合金層」を「クロム・銅合金層」と補正します。

- (13) 同第10頁第20行目の「最適である。」を「好適である。」と補正します。

平成 2. 7. 16 発行

程、および前記銅層上に金パンプ電極を形成する工程をそなえた半導体装置の電極形成方法。

- (b) 塩化鉄溶液が、 $H_2O / (FeCl_3 : 3.6\% (wt) + H_2O) = 5/1 \sim 150/1$ の組成物でなる特許請求の範囲第 5 項に記載の半導体装置の電極形成方法。

2. 特許請求の範囲

- (1) 半導体基板上もしくは絶縁体上に第 1 の電極用金属層を有し、同金属層上に、クロム、クロム・銅合金および銅の各層を順次積層してそなえるとともに、前記銅層表面に食刻おうつを設け、かつ、この食刻おうつ面上に金パンプ電極を接合させた電極構造を有する半導体装置。
- (2) クロム・銅合金層が層厚方向で一定の合金比率を有する特許請求の範囲第 1 項に記載の半導体装置。
- (3) クロム・銅合金層が層厚方向で、下層側から上層側に、クロム含有比率の連続的低減組成物でなる特許請求の範囲第 1 項に記載の半導体装置。
- (4) 第 1 の電極用金属層がアルミニウム蒸着層でなる特許請求の範囲第 1 項に記載の半導体装置。
- (5) 半導体基板上もしくは絶縁体上に第 1 の電極を形成する工程、クロム層、クロム・銅合金層および銅層を順次逐層的に蒸着形成する工程、前記銅層の表面を塩化鉄含有溶液で食刻する工